

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-162172

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

G11C 11/412

G11C 16/04

(21)Application number : 09-323054

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 25.11.1997

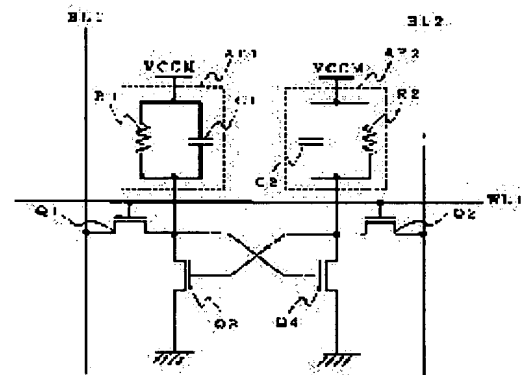
(72)Inventor : CHATANI SHIGEO

(54) SEMICONDUCTOR MEMORY ELEMENT, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, AND ITS PROGRAMMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To use SRAMs and ROMs as memory elements and to reduce the number of parts by utilizing a static flip-flop where a transistor for inputting and outputting data and a load element being constituted of an anti-fuse element of a transistor for flip-flop are provided.

SOLUTION: A load element that is constituted of transistors Q1 and Q2 for inputting and outputting data and antifuses AF1 and AF2 of transistors Q3 and Q4 for flip-flop is provided. Each drain electrode of the transistors Q1 and Q2 is connected to complementary data lines BL1 and BL2 and each gate electrode is connected to a word line WL1 for selection and then one of the antifuses AF1 and AF2 is connected to a power supply potential VCCM. A static flip-flop by this configuration can be shared as the memory element of SRAM or ROM by changing the resistance of the antifuses AF1 and AF2, thus reducing the costs and size of a chip.



LEGAL STATUS

[Date of request for examination]

25.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-162172

(43) 公開日 平成11年(1999) 6月18日

(51) Int. Cl.⁶
G11C 11/412
16/04

識別記号

F I
G11C 11/40 301
17/00 625

審査請求 未請求 請求項の数 7 O L (全10頁)

(21) 出願番号 特願平9-323054

(22) 出願日 平成9年(1997)11月25日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 茶谷 茂雄

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

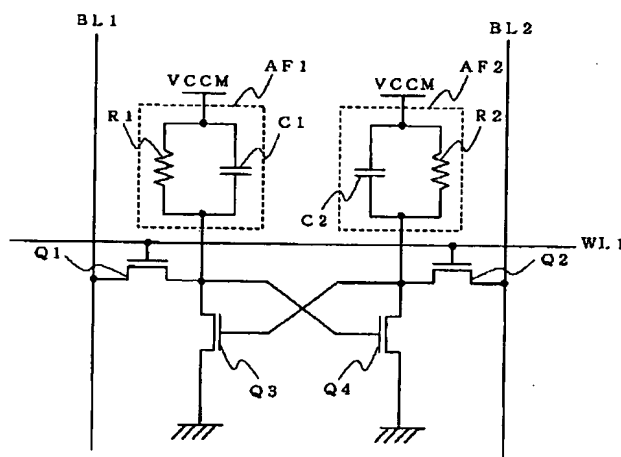
(74) 代理人 弁理士 池内 寛幸 (外1名)

(54) 【発明の名称】 半導体メモリ素子、半導体集積回路装置および半導体集積回路装置のプログラミング方法

(57) 【要約】

【課題】 SRAMとROMを同じチップ内で出荷段階またはユーザ側の設定により作り分けることができる半導体メモリ素子、半導体集積回路装置およびデータプログラミング方法を提供する。

【解決手段】 半導体メモリ素子を、フリップフロップ用トランジスタと、前記フリップフロップ用トランジスタのデータ入出力用トランジスタと、前記フリップフロップ用トランジスタとともにスタティックフリップフロップを形成する負荷素子とを備えた半導体メモリ素子において、前記負荷素子をアンチヒューズ素子により構成する。この半導体メモリ素子を集積回路とする。初期状態においてはSRAMとして使用でき、ROM化する部分にはアンチヒューズ素子の一方に絶縁破壊電圧を印加して低抵抗化するとフリップフロップの負荷抵抗値のバランスが失われているのでハイまたはローに出力が固定され、ROMとなる。



【特許請求の範囲】

【請求項 1】 フリップフロップ用トランジスタと、前記フリップフロップ用トランジスタのデータ入出力用トランジスタと、前記フリップフロップ用トランジスタの負荷素子とを備えたスタティックフリップフロップを利用した半導体メモリ素子において、前記負荷素子がアンチヒューズ素子により構成されたことを特徴とする半導体メモリ素子。

【請求項 2】 前記アンチヒューズ素子が、スタティックフリップフロップを形成するための対称で十分な抵抗値を持つ請求項 1 に記載の半導体メモリ素子。

【請求項 3】 前記スタティックフリップフロップを形成しているアンチヒューズ素子の一方が、絶縁破壊により低抵抗化し、前記スタティックフリップフロップの出力をハイまたはローの一方に固定する抵抗値を持つ請求項 1 に記載の半導体メモリ素子。

【請求項 4】 フリップフロップ用トランジスタと前記フリップフロップ用トランジスタのデータ入出力用トランジスタと前記フリップフロップ用トランジスタの負荷素子とを備えたアンチヒューズ素子により構成された負荷素子とを備えたスタティックフリップフロップを利用した複数の半導体メモリ素子と、複数対の相補データ線と、複数の選択用ワード線と、複数の電源電圧線とを集積化したことを特徴とする半導体集積回路装置。

【請求項 5】 第 1 のフリップフロップ用トランジスタと前記第 1 のフリップフロップ用トランジスタのデータ入出力用トランジスタと前記第 1 のフリップフロップ用トランジスタの負荷素子とを備えたスタティックフリップフロップを形成するための対称で十分な抵抗値を持つアンチヒューズ素子により構成された第 1 の負荷素子とを備えた第 1 のスタティックフリップフロップを利用した複数の第 1 の半導体メモリ素子と、第 2 のフリップフロップ用トランジスタと前記第 2 のフリップフロップ用トランジスタのデータ入出力用トランジスタと前記第 2 のフリップフロップ用トランジスタの負荷素子とを備えた一方が絶縁破壊により低抵抗化し、前記スタティックフリップフロップの出力をハイまたはローの一方に固定する抵抗値を持つアンチヒューズ素子により構成された第 2 の負荷素子とを備えた第 2 のスタティックフリップフロップを利用した複数の第 2 の半導体メモリ素子と、複数対の相補データ線と複数の選択用ワード線と複数の電源電圧線とを集積化したことを特徴とする半導体集積回路装置。

【請求項 6】 請求項 4 に記載の半導体集積回路装置の一部をリードオンリーメモリとしてプログラミングする方法であって、前記プログラミングする半導体メモリ素子の電源電圧として前記アンチヒューズ素子の絶縁を破壊する絶縁破壊電圧を印加し、前記プログラミングする半導体メモリ素子に対応する前記一対の相補データ線の一方をハイとし、前記プログラミングする半導体メモリ

素子に対応する選択用ワード線をハイとすることにより、前記プログラミングする半導体メモリ素子の前記アンチヒューズ素子のうち一方に絶縁破壊電圧を印加して低抵抗化する半導体集積回路装置のプログラミング方法。

【請求項 7】 前記プログラミングする半導体メモリ素子の電源電圧として前記絶縁破壊電圧を印加し、その他のノードにはスタティックメモリ素子の読み出し書き込み電源電圧以下の電圧を印加する請求項 6 に記載の半導体集積回路装置のプログラミング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体メモリ素子、半導体集積回路装置および半導体集積回路装置のプログラム方法に関するものである。

【0002】 特にリードオンリーメモリ（以下 ROM と略記する）としても、ランダムアクセスメモリ（以下 RAM と略記する）としても使用することができるメモリ素子と前記メモリ素子を備えた半導体装置およびそのプログラム方法に関する。

【0003】

【従来の技術】 近年、携帯用機器の普及により、セット機器の小型化への要望が強くなった。このため、半導体装置に対しても小型化や部品点数の削減が要望され、RAM と ROM を一つの半導体チップ上に形成することが求められるようになった。

【0004】 以下に、従来の技術について図面を参照しながら説明する。図 6 は、第 1 の従来例の半導体メモリ素子の一例であって、スタティック型 RAM（以下、SRAM と略記する）の 1 メモリ素子を示している。

【0005】 図 6 において、Q1、Q2、Q3 および Q4 は 1 ビットの SRAM メモリ素子を構成する金属-絶縁体半導体 (Metal-Insulator-Semiconductor、以下、MIS と略記する) トランジスタであり、R11 と R12 は 1 ビットの SRAM メモリ素子を構成する抵抗素子である。Q1 と Q2 はメモリ素子にデータ入出力を行うのデータ入出力用トランジスタであって、そのドレイン電極はそれぞれ対をなす相補データ線 BL1 および相補データ線 BL2 の一方に接続され、ゲート電極は選択用ワード線 WL1 に接続されている。Q3 と Q4 はメモリ素子のスタティックフリップフロップを構成するフリップフロップ用トランジスタであって、Q3 のドレイン電極は前記データ入出力用トランジスタ Q1 のソース電極に、ゲート電極は前記データ入出力用トランジスタ Q2 のソース電極に接続されている。Q4 のドレイン電極は前記データ入出力用トランジスタ Q2 のソース電極に、ゲート電極は前記データ入出力用トランジスタ Q1 のソース電極に接続されている。さらに、Q3 と Q4 のソース電極はグランドに接続されている。R11 と R12 はメモリ素子の高抵抗負荷であって、R11 の一端子はデ

ータ入出力用トランジスタ Q 1 のソース電極に、また、R 1 2 の一端子はデータ入出力用トランジスタ Q 2 のソース電極に接続され、さらに、それぞれの他端子は電源電位に接続されている。

【0006】この構成でスタティック型フリップフロップ回路となり、SRAMのメモリ素子の1ビットが形成される。メモリ素子の動作については、一般によく知られているフリップフロップ回路の動作と同じであり、図7を用いてその動作を説明する。

【0007】図7はメモリ素子を含めたSRAM主要部の回路図であり、図7において、1は外部からのデータをメモリ素子に書き込むための書き込み回路、2は相補データ線の電位差を増幅するセンスアンプ回路、3はメモリ素子からデータを読み出す前に相補データ線を所定の等しい電圧までプリチャージし、読み出しや書き込み時間中にセンスアンプ回路や書き込み回路に接続されていない非選択の相補データ線を電源電位近くに昇圧しておくためのデータ線電位供給回路である。MC0からMC3はメモリ素子でおおのこの構成はMC0と同じであるが、メモリ素子MC1は、選択ワード線WL1と相補データ線BL3、BL4に接続され、メモリ素子MC2は、選択ワード線WL2と相補データ線BL1、BL2に接続され、メモリ素子MC3は、選択ワード線WL2と相補データ線BL3、BL4に接続されている。MISTランジスタQ5、Q6、Q15およびQ16はカラム選択用トランジスタであって、そのドレイン電極はそれぞれ相補データ線BL1、BL2、BL3またはBL4に接続され、ゲート電極はカラム選択線CL1またはCL2に接続され、ソース電極は書き込み回路1とセンスアンプ回路2に接続されている。MISTランジスタQ7、Q8は非選択データ線の電位供給トランジスタであって、ドレイン電極とゲート電極は電源線に接続され、ソース電極はそれぞれ相補データ線BL1、BL2に接続されている。MISTランジスタQ9、Q10はデータ線のプリチャージ用トランジスタであって、ドレイン電極は電源線に接続され、ソース電極はそれぞれ相補データ線BL1、BL2に接続され、ゲート電極はプリチャージ信号線PRCに接続されている。

【0008】今、メモリ素子MC0が選択されたとすると、ワード線WL1がハイレベル、ワード線WL2がローレベルとなる。また、カラム選択線CL1がハイレベル、カラム選択線CL2がローレベルとなりカラム選択用トランジスタQ5とQ6がオン状態に、カラム選択用トランジスタQ15とQ16がオフ状態となって、相補データ線BL1とBL2が、データを読み出し時にはセンスアンプ回路2に、データを書き込み時には書き込み回路1に接続される。

【0009】書き込み動作では、データ線はデータ線電位供給回路3によって一旦電源電圧近くまでプリチャージされた後に、書き込み回路によって、BL1とBL2

の電位が書き込みたいデータに従って一方は電源電位に、他方はグランド電位に相補的に決定される。そして、ワード線WL1がハイレベルであるため、データ入出力用トランジスタQ1とQ2がオン状態となりストレージノード5および6の電位が相補データ線BL1とBL2の電位によって設定され書き込みがおこなわれる。

【0010】読み出し動作では、データ線はデータ線電位供給回路3によって一旦電源電圧近くまでプリチャージされた後に、ワード線WL1がハイレベルであるため、データ入出力用トランジスタQ1とQ2がオン状態となりストレージノード5および6の電位が相補データ線BL1とBL2にあらわれ、センスアンプ回路2がその電位電位差を増幅し、外部パッドに出力する。

【0011】つぎに、電位供給トランジスタQ7とQ8のはたらきについて同じくメモリ素子MC0が選択された場合を例に簡単に説明する。メモリ素子MC0が選択状態であるためメモリ素子MC1は非選択状態であるが、ワード線WL1がハイレベルであるためMC1中のデータ入出力用トランジスタQ1とQ2はオン状態となっている。今相補データ線にジャンクションリークなどのリーク電流がない場合は、相補データ線BL3とBL4の電位はプリチャージ電圧のまま電源電圧の近傍で保持され誤書き込みはおこらない。しかし、相補データ線の一方に微少なりーク電流が存在する場合には非選択時間中にデータ線の電位はしだいに降下し、オン状態であるデータ入出力用トランジスタQ1とQ2を通してメモリ素子MC1は非選択状態であるにもかかわらず誤書き込みを引き起こす。この誤書き込みを防止するため、リーク電流に見合ったトランジスタQ7とQ8が電源線とデータ線の間に接続されている。

【0012】次に、図8は、第2の従来例の半導体メモリ素子の一例であって、マスクプログラム型ROM（以下、マスクROMと略記する）、特にコンタクトホール形成用マスクによるプログラム方式のマスクROMの1メモリ素子を示している。ここで、Q11はメモリ素子となるMISTランジスタであり、そのソース電極は接地されている。BL11はデータ線であり、メモリ素子トランジスタのドレイン電極7をこのデータ線BL11にコンタクトホール8を用いて接続するかどうかでデータ“1”と“0”の記憶を行う。WL11は選択用ワード線であり、メモリ素子トランジスタQ11のゲート電極に接続されている。

【0013】図9はメモリ素子を含めたマスクROM主要部の回路図であり、これを用いてマスクROMの動作を説明する。

【0014】図9において、Q11からQ14、Q21からQ24はメモリ素子となるMISTランジスタであり、そのソース電極は接地されている。BL11、BL12はデータ線であり、メモリ素子トランジスタのドレイン電極をこのデータ線BL11、BL12に接続する

か否かでデータ“1”と“0”の記憶を行う。この例では、メモリ素子トランジスタQ11、Q14のドレイン電極がデータ線BL11に接続され、同じくメモリ素子トランジスタQ22、Q24のドレイン電極がデータ線BL12に接続されている。WL11からWL14は選択用ワード線であり、それぞれがメモリ素子トランジスタQ11～Q14、Q21～24のゲート電極に接続されている。

【0015】Q31、Q32はカラム選択用トランジスタであり、そのドレイン電極はそれぞれデータ線BL11、BL12に接続され、ゲート電極はカラム選択用母線CL11、CL12に接続され、ソース電極は接続されてセンスアンプ回路4の入力となる。センスアンプ回路4の出力はデータ出力線DQ、(／DQ)になる。ここで(／DQ)は、DQの否定論理の出力線の意味である。

【0016】さて、メモリ素子Q11からデータ“1”を読み出す場合について説明する。選択用ワード線WL11がハイレベルとなり、選択用ワード線WL12からWL14がローレベルとなってメモリ素子Q11、Q21が選択される。MISTランジスタQ11がオン状態になることでデータ線BL11の電位はメモリ素子Q11を通して接地電位近くまで降下する。次にカラム選択用母線CL11がハイレベルになることでデータ線BL11の電位がセンスアンプ回路4に伝達され増幅されてデータ出力線DQにハイレベル、データ出力線(／DQ)にローレベルがあらわれる。

【0017】次に、例えばメモリ素子Q23からデータ“0”を読み出す場合について説明する。選択用ワード線WL13がハイレベルとなり、選択用ワード線WL11、WL12、WL14がローレベルとなってメモリ素子Q13、Q23が選択される。MISTランジスタQ23がオン状態となるがメモリ素子Q23のドレイン電極はデータ線BL12には接続されていない、このため、データ線BL12の電位はメモリ素子Q23を選択する前の状態のままである。カラム選択用母線CL12がハイレベルになることでデータ線BL12の電位はセンスアンプ回路4の所定の電源電位となり、これが増幅されてデータ出力線DQにローレベルがあらわれ、データ出力線(／DQ)にハイレベルがあらわれる。

【0018】

【発明が解決しようとする課題】しかしながら、前記SRAMのメモリ素子はそれを搭載した半導体装置の製造が完成した後にROMとして動作させることができないし、反対にマスクROMのメモリ素子はそれを搭載した半導体装置の製造が完成した後はリード・ライトできるRAMとして使用することができない。また、同一の半導体基板上にRAMとROMをつくる場合、RAMのメモリ素子およびその回路と、ROMのメモリ素子およびその回路を別々に用意しなければならず、チップ面積の

増大を招くという問題があった。

【0019】さらに、SRAM用のメモリ素子とROM用のメモリ素子は構造および動作が異なるため、お互いに取り替えることができない。そのため、実際にその半導体チップを使用する際にはRAMおよびROMともに十分なメモリ容量を持つチップを使用しなければならず、メモリ領域に無駄が生じてチップコストが高くなるという問題があった。

【0020】また、セット機器中にSRAMとマスクROMの双方を組み込む場合も、SRAMのチップとマスクROMのチップを別々に用意しなければならないという問題があった。

【0021】本発明の目的は、SRAMとしてもROMとしても使用できるメモリ素子を提供し、同一チップ内でSRAMとROMのメモリ容量をチップ購入後において自由に設定することを可能とし、メモリ領域の無駄を省くことができるとともに、セット機器中のメモリ部品の点数を削減し、SRAMとROMの制御用回路を共通化し、回路の簡潔化を達成できるという半導体メモリ素子と半導体集積回路装置およびそのデータプログラム方法を提供することにある。

【0022】

【課題を解決するための手段】上記課題を解決するために本発明にかかる半導体メモリ素子は、フリップフロップ用トランジスタと、前記フリップフロップ用トランジスタのデータ入出力用トランジスタと、前記フリップフロップ用トランジスタの負荷素子とを備えたスタティクフリップフロップを利用した半導体メモリ素子において、前記負荷素子がアンチヒューズ素子により構成されたことを特徴とする。

【0023】ここでアンチヒューズ素子とは、初期状態において高抵抗であり、絶縁性を示すが、耐電圧以上の電圧をかけることにより、変性して低抵抗となり導通し、電圧が除去されても変性のため導通状態が維持される素子のことをいう。

【0024】かかる構成により、アンチヒューズ素子の抵抗値を可変とすることで、半導体メモリ素子をSRAMのメモリ素子またはROMのメモリ素子として利用することができるので、SRAM、ROMを共通化した半導体メモリ素子とすることができる。

【0025】次に、本発明にかかる半導体メモリ素子は、前記アンチヒューズ素子が、スタティクフリップフロップを形成するための対称で十分な抵抗値を持つことが好ましい。

【0026】かかる構成により、半導体メモリ素子の構成がスタティクフリップフロップとなり、半導体メモリ素子をSRAMとして利用することができる。

【0027】次に、本発明にかかる半導体メモリ素子は、前記スタティクフリップフロップを形成しているアンチヒューズ素子の一方が、絶縁破壊により低抵抗化

し、前記スタティックフリップフロップの出力をハイまたはローの一方に固定する抵抗値を持つことが好ましい。

【0028】かかる構成により、半導体メモリ素子の構成がスタティックフリップフロップの状態をハイに固定した構成となり、常に半導体メモリ素子の出力値がハイに固定されるので、半導体メモリ素子をハイまたはローが書き込まれ、出力が固定されたROMとして利用することができる。

【0029】上記課題を解決するために本発明にかかる半導体集積回路装置は、フリップフロップ用トランジスタと前記フリップフロップ用トランジスタのデータ入出力用トランジスタと前記フリップフロップ用トランジスタの負荷素子であってアンチヒューズ素子により構成された負荷素子とを備えたスタティックフリップフロップを利用した複数の半導体メモリ素子と、複数対の相補データ線と、複数の選択用ワード線と、複数の電源電圧線とを集積化したことを特徴とする。

【0030】かかる構成により、アンチヒューズ素子の抵抗値を変えることにより、半導体メモリ素子をSRAMのメモリ素子またはROMのメモリ素子として利用することができるSRAM、ROM共用の半導体集積回路装置とすることができる。

【0031】また、上記課題を解決するために本発明にかかる半導体集積回路装置は、第1のフリップフロップ用トランジスタと前記第1のフリップフロップ用トランジスタのデータ入出力用トランジスタと前記第1のフリップフロップ用トランジスタの負荷素子であってスタティックフリップフロップを形成するための対称で十分な抵抗値を持つアンチヒューズ素子により構成された第1の負荷素子とを備えた第1のスタティックフリップフロップを利用した複数の第1の半導体メモリ素子と、第2のフリップフロップ用トランジスタと前記第2のフリップフロップ用トランジスタのデータ入出力用トランジスタと前記第2のフリップフロップ用トランジスタの負荷素子であって一方が絶縁破壊により低抵抗化し、前記スタティックフリップフロップの出力をハイまたはローの一方に固定する抵抗値を持つアンチヒューズ素子により構成された第2の負荷素子とを備えた第2のスタティックフリップフロップを利用した複数の第2の半導体メモリ素子と、複数対の相補データ線と複数の選択用ワード線と複数の電源電圧線とを集積化したことを特徴とする。

【0032】かかる構成により、半導体メモリ素子の一部をSRAMとして利用し、他の部分をROMのメモリ素子として利用したSRAM、ROM共用の半導体集積回路装置とすることができる。

【0033】上記課題を解決するために本発明にかかる半導体集積回路装置のプログラミング方法は、プログラミングする半導体メモリ素子の電源電圧としてアンチヒューズ素子の絶縁を破壊する絶縁破壊電圧を印加し、前

記プログラミングする半導体メモリ素子に対応する前記一対の相補データ線の一方をハイとし、前記プログラミングする半導体メモリ素子に対応する選択用ワード線をハイとすることにより、前記プログラミングする半導体メモリ素子のアンチヒューズ素子のうち一方に絶縁破壊電圧を印加して低抵抗化する。

【0034】かかる方法により、半導体メモリ素子の一部をSRAMとして利用し、他の部分をROMのメモリ素子として利用し、ROMとして利用する半導体メモリ素子に所望のデータを書き込むことができる。

【0035】次に、前記半導体集積回路装置のプログラミング方法は、前記プログラミングする半導体メモリ素子の電源電圧として前記絶縁破壊電圧を印加し、その他のノードにはスタティックメモリ素子の読み出し書き込み電源電圧以下の電圧を印加することが好ましい。

【0036】かかる方法により、ROMとして利用する半導体メモリ素子以外の他のノードにはプログラミング電圧を印加することなく、ROMとして利用する半導体メモリ素子のみにプログラミング電圧を印加して所望のデータを書き込むことができる。

【0037】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0038】（実施の形態1）図1は本発明の実施形態1にかかるSRAM状態である半導体メモリ素子を示している。

【0039】図1において、Q1、Q2、Q3およびQ4は負荷素子であるアンチヒューズ素子とともに1ビットのSRAMメモリ素子を構成するMISTランジスタであり、AF1とAF2はアンチヒューズ素子の等価回路である。Q1とQ2はメモリ素子にデータ入出力を行うためのデータ入出力用トランジスタであって、そのドレイン電極はそれぞれ対をなす相補データ線BL1および相補データ線BL2の一方に接続され、ゲート電極は選択用ワード線WL1に接続されている。Q3とQ4はフリップフロップを構成するメモリ素子のフリップフロップ用トランジスタであって、Q3のドレイン電極は前記データ入出力用トランジスタQ1のソース電極に、ゲート電極は前記データ入出力用トランジスタQ2のソース電極に接続されている。Q4のドレイン電極は前記データ入出力用トランジスタQ2のソース電極に、ゲート電極は前記データ入出力用トランジスタQ1のソース電極に接続されている。さらに、Q3とQ4のソース電極はグラウンドに接続されている。R1とR2はそれぞれアンチヒューズAF1とAF2の抵抗成分であって、R1の一端子はデータ入出力用トランジスタQ1のソース電極およびフリップフロップ用トランジスタQ3のドレイン電極に接続され、また、R2の一端子はデータ入出力用トランジスタQ2のソース電極およびフリップフロップ用トランジスタQ4のドレイン電極に接続され、さら

に R 1、R 2 の他端子は電源電位に接続されている。また、C 1 と C 2 はそれぞれアンチヒューズ A F 1 と A F 2 の容量成分であって、C 1 の一端子はデータ入出力用トランジスタ Q 1 のソース電極およびフリップフロップ用トランジスタ Q 3 のドレイン電極に接続され、また、C 2 の一端子はデータ入出力用トランジスタ Q 2 のソース電極およびフリップフロップ用トランジスタ Q 4 のドレイン電極に接続され、さらに、C 1、C 2 の他端子は電源電位に接続されている。

【0040】この構成において、負荷抵抗であるアンチヒューズ素子がスタティック型フリップフロップの負荷抵抗として十分な抵抗値を持てれば、半導体メモリ素子はスタティック型フリップフロップ回路となり、S R A M のメモリ素子の 1 ビットが形成される。図 1 に示した本実施にかかる半導体メモリ素子は等価的に従来技術で図 6 に示した回路と同様のものとなり、その動作も従来技術の中で図 6 をもって示した S R A M と同じであるのでここでは省略する。

【0041】（実施形態 2）図 2 は本発明の実施形態 2 にかかる R O M 状態である半導体メモリ素子を示している。

【0042】図 2 において、Q 1、Q 2、Q 3 および Q 4 は負荷素子であるアンチヒューズ素子とともに 1 ビットのスタティック型フリップフロップを構成する M I S トランジスタであり、A F 1 と A F 2 はアンチヒューズ素子の等価回路である。Q 1 と Q 2 はメモリ素子のデータ入出力用トランジスタであって、そのドレイン電極はそれぞれ対をなす相補データ線 B L 1 および相補データ線 B L 2 の一方に接続され、ゲート電極は選択用ワード線 W L 1 に接続されている。Q 3 と Q 4 はメモリ素子のフリップフロップ用トランジスタであって、Q 3 のドレイン電極は前記データ入出力用トランジスタ Q 1 のソース電極に、ゲート電極は前記データ入出力用トランジスタ Q 2 のソース電極に接続されている。Q 4 のドレイン電極は前記データ入出力用トランジスタ Q 2 のソース電極に、ゲート電極は前記データ入出力用トランジスタ Q 1 のソース電極に接続されている。さらに、Q 3 と Q 4 のソース電極はグランドに接続されている。R 1 と R 2 はそれぞれアンチヒューズ A F 1 と A F 2 の抵抗成分であって、R 1 の一端子はデータ入出力用トランジスタ Q 1 のソース電極に、また、R 2 の一端子はデータ入出力用トランジスタ Q 2 のソース電極に接続され、さらに、それぞれの他端子は電源電位に接続されている。また、C 2 はアンチヒューズ A F 2 の容量成分であって、その一端子はデータ入出力用トランジスタ Q 2 のソース電極に接続され、他端子は電源電位に接続されている。R 3 もアンチヒューズ A F 1 の抵抗成分であるが、アンチヒューズに高電圧を印加して低抵抗化させたものである。ここで R 3 の抵抗値は、R 1 または R 2 の抵抗値に対して 10^{-5} 倍程度とする。

【0043】この構成でスタティック型フリップフロップ回路は、一对のインバータ回路の負荷抵抗の抵抗値のバランスが失われているため電源投入後、Q 3 は常にオフ、Q 4 が常にオンとなり、このメモリ素子から読み出される出力データは B L 1 にハイ、B L 2 にローが固定的に出力される。上記アンチヒューズ素子のうち低抵抗化する側が逆になれば出力も逆のものが得られる。このように半導体メモリ素子の出力がハイまたはローの一方に固定されることになるので、したがってこのメモリ素子は R O M メモリ素子の 1 ビットとすることができる。

【0044】（実施形態 3）図 3 は本発明の実施形態 3 に係る半導体集積回路装置であって、初期状態において S R A M 状態であったメモリ素子の一部を製品出荷段階またはユーザが使用する前に選択的に一部のメモリ素子のアンチヒューズ素子に対して絶縁破壊電圧を与えることで R O M 化したものであり、半導体集積回路の主要部（4 メモリ素子分）を図示したものである。図 3 において、メモリ素子 M C 0 と M C 1 が R O M 化され、メモリ素子 M C 2 と M C 3 は S R A M 素子のままである。メモリ素子 M C 0 では、アンチヒューズ A F 1 が低抵抗になっており、メモリ素子 M C 0 から読み出されるデータとしては、データ線 B L 1 がハイレベル、データ線 B L 2 がローレベルに固定されている。また、メモリ素子 M C 1 では、アンチヒューズ A F 2 が低抵抗になっており、メモリ素子 M C 1 から読み出されるデータとしては、データ線 B L 3 がローレベル、データ線 B L 4 がハイレベルに固定されている。このようにアンチヒューズ A F 1、A F 2 のいずれを低抵抗化するかによって R O M に記憶させるデータの“1”、“0”を設定することができる。アンチヒューズ素子を双方とも低抵抗化していないメモリ素子 M C 2 と M C 3 はスタティックフリップフロップ型の S R A M として機能し、データの読み出しと書き込みの動作については従来技術で説明した S R A M の動作と同様であるのでここでは省略する。

【0045】（実施形態 4）図 4 は本発明の実施形態 4 にかかる半導体集積回路装置であって、どのメモリ素子も R O M 化しておらず、すべて S R A M 状態のままの半導体集積回路の主要部（4 メモリ素子分）を図示したものである。図 5 は本発明にかかる半導体集積回路装置のプログラミング方法を説明する図である。プログラミング時と S R A M の書き込み時における回路中の各ノードに印加すべき電圧をあらわしている。

【0046】今、メモリ素子 M C 0 に、読み出し時にデータ線 B L 1 にハイレベル、データ線 B L 2 にローレベルがあらわれるようにデータプログラミングを行う場合を考える。周辺回路の電源電圧 V C C は通常の読み出し、書き込み時と同じ電圧を印加し、メモリ素子の電源電圧は周辺回路の電源電圧よりも高く、アンチヒューズ素子の絶縁破壊を起こす電圧 V P P を印加する。ワード線 W L 1 はハイレベル、W L 2 はローレベルとし、カラ

ム選択線CL1はハイレベル、CL2はローレベルとした上、書き込み回路によってデータ線BL1はローレベル、データ線BL2はハイレベルとする。この電圧印加を行うことで、メモリ素子MC0にはアンチヒューズAF1の絶縁膜を破壊する電流が、電源線VCCM→アンチヒューズAF1→データ入出力用トランジスタQ1→データ線BL1→カラム選択トランジスタQ5→書き込み回路のドライバという順路で流れ、アンチヒューズAF1は絶縁破壊をおこし、低抵抗化する。この印加方法は、アンチヒューズの絶縁膜を破壊し、低抵抗化できる電流が確保できる限り、メモリ素子の電源電圧をSRAMの読み出し、書き込みを行う時の電源電圧よりも高い電圧に設定するだけで、その他のノードに高電圧の印加は特に必要としない。したがって、トランジスタ形成に高耐圧のプロセスを採用する必要がなく、容易に実現が可能である。

【0047】上記とは逆にメモリ素子MC0に、読み出し時にデータ線BL1にハイレベル、データ線BL2にローレベルがあらわれるようにデータプログラミングを行う場合は、ワード線WL1はハイレベル、WL2はローレベルとし、カラム選択線CL1はハイレベル、CL2はローレベルとした上、書き込み回路によってデータ線BL1はハイレベル、データ線BL2はローレベルとすれば良い。この場合は電源線VCCM→アンチヒューズAF2→データ入出力用トランジスタQ2→データ線BL2→カラム選択トランジスタQ6→書き込み回路のドライバという順路で流れ、アンチヒューズ素子AF2が絶縁破壊を起こし、低抵抗化する。

【0048】なお、ここでの説明はすべて、Nチャネルトランジスタを用いて行ったが、Pチャネルトランジスタを用いても実現できることは言うまでもない。

【0049】

【発明の効果】本発明にかかる半導体メモリ素子によれば、SRAMのメモリ素子としてもROMのメモリ素子としても使用でき、部品点数の削減に効果がある。

【0050】また、本発明にかかる半導体集積回路装置によれば、半導体集積回路装置中のSRAMのメモリ容量とROMのメモリ容量をユーザの使用状況にあわせて最適に設定できるため、それぞれのメモリに余分な容量を搭載する必要がなくなる。また、SRAMの制御回路とROMの制御回路を一体化できるためチップサイズの削減、さらにはチップコストの削減に効果がある。

【0051】また、本発明にかかる半導体集積回路装置のプログラミング方法によれば、初期状態においてSRAMメモリ素子となっている半導体集積回路装置を、ユーザによる半導体集積回路装置の出荷直前、または、ユ

ーザが半導体集積回路装置を使用する直前に、所望の部分にアンチヒューズ素子の絶縁破壊電圧となるプログラミング電圧を与えてROMメモリ素子とすることが可能であるため、短ターンアラウンドタイムのROM半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1にかかるSRAMメモリ素子の回路図

【図2】本発明の実施形態2にかかるROMメモリ素子の回路図

【図3】本発明の実施形態3にかかる半導体集積回路装置の主要部回路図

【図4】本発明の実施形態4にかかる半導体集積回路装置の主要部回路図

【図5】本発明の実施形態4にかかる半導体集積回路装置のデータプログラミングにおける各部印加電圧図

【図6】従来例であるSRAMメモリ素子の回路図

【図7】従来例であるSRAMの主要部回路図

【図8】従来例であるマスクROMメモリ素子の回路図

【図9】従来例であるマスクROMの主要部回路図

【符号の説明】

1 書き込み回路

2 センスアンプ回路

3 データ線電位供給回路

4 センスアンプ回路

5, 6 ストレージノード

7 ドレイン電極

8 コンタクトホール

WL1, WL2, WL11~WL14 選択用ワード線

BL1~BL4, BL11, BL12 データ線

PRC プリチャージ信号線

CL1, CL2, CL11, CL12 カラム選択用信号線

DQ, (/DQ) データ出力線

Q1~Q4 メモリ素子のトランジスタ

R1, R2, R3 メモリ素子のアンチヒューズの抵抗

R11, R12 SRAMメモリ素子の負荷抵抗

Q5, Q6, Q15, Q16, Q31, Q32 カラム選択用トランジスタ

Q7, Q8 データ線電位供給用トランジスタ

Q9, Q10 データ線プリチャージ用トランジスタ

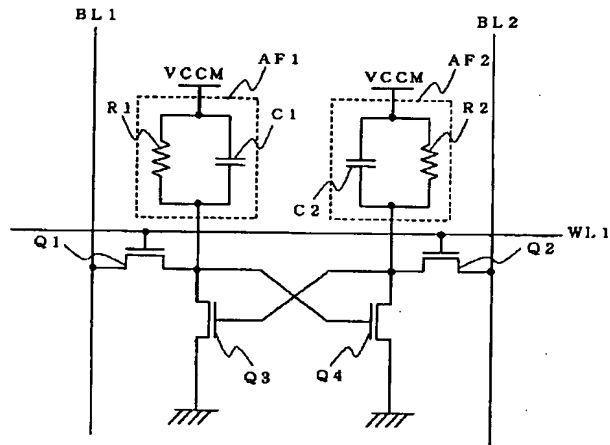
C1, C2 メモリ素子のアンチヒューズの容量

VCC, VCCM 電源線

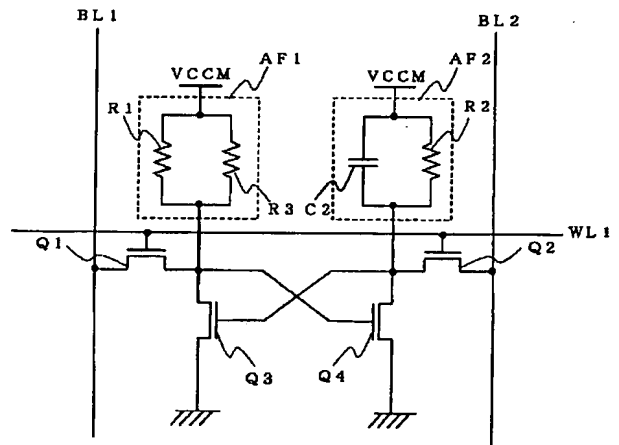
AF1, AF2 アンチヒューズ

MC0~MC3 メモリ素子

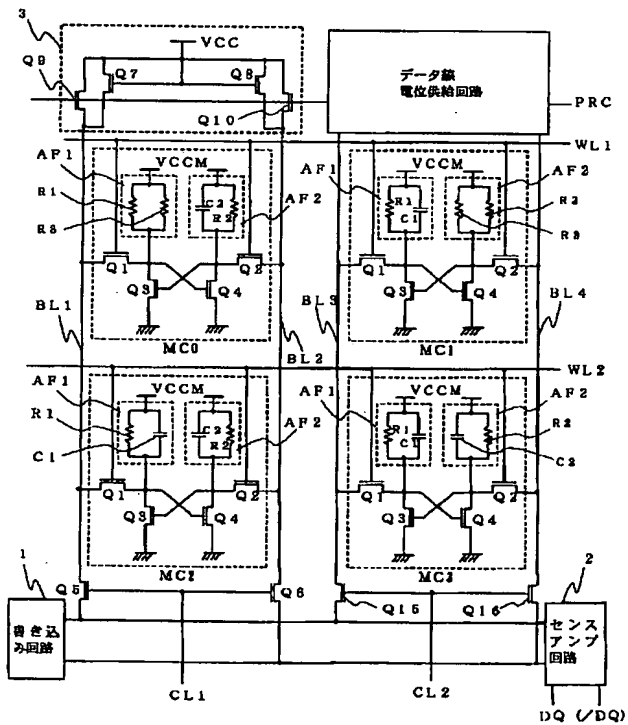
【図 1】



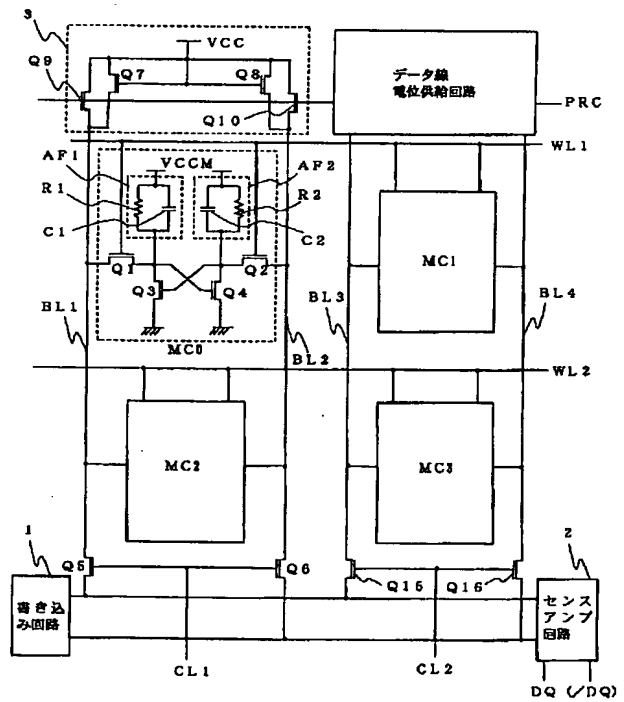
【図 2】



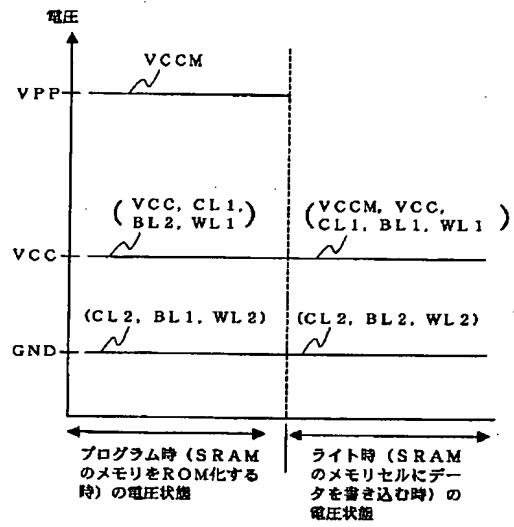
【図 3】



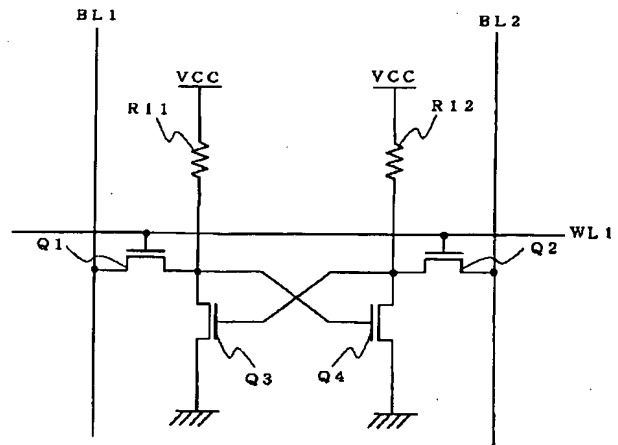
【図 4】



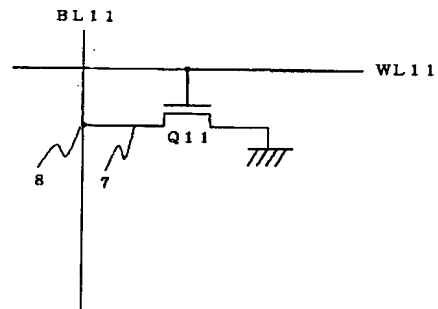
【図5】



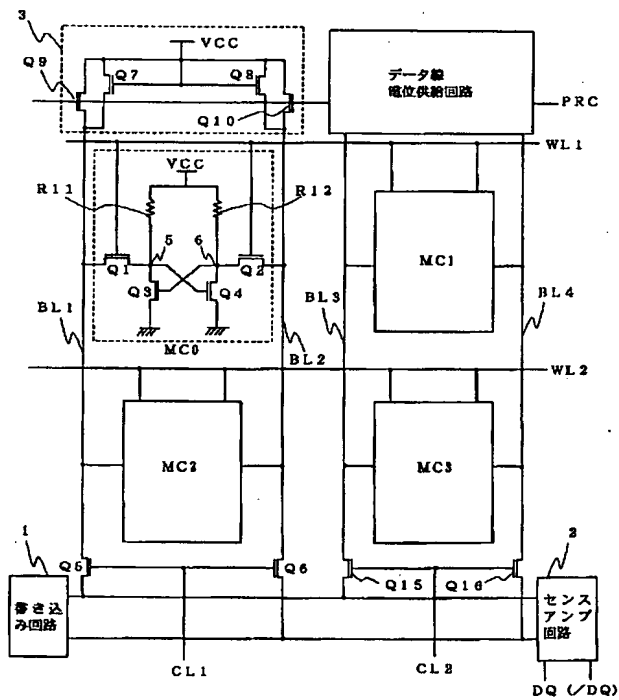
【図6】



【図8】



【図7】



【図 9】

